

PAT-NO: JP407142940A  
DOCUMENT-IDENTIFIER: JP 07142940 A  
TITLE: MOSFET POWER AMPLIFIER  
PUBN-DATE: June 2, 1995

INVENTOR-INFORMATION:

NAME  
AKITA, SHINICHI  
IKEDA, TAISUKE

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEW JAPAN RADIO CO LTD	N/A

APPL-NO: JP05309685  
APPL-DATE: November 17, 1993

INT-CL (IPC): H03F003/30, H03F003/34 , H03F003/345 ,  
H03F003/45 , H03K017/16  
                  , H03K017/687

ABSTRACT:

PURPOSE: To reduce the invalid current of a power output stage, to reduce cross-over distortion and to efficiently drive a MOSFET power amplifier by providing offset stages before and behind a power output stage and providing amplifier stages amplifying input signals before and behind the offset stages.

CONSTITUTION: The positive side offset (level shift) stage 6 for PMOSFET Q1 and the negative side offset (level shift) stage 7 for NMOSFET Q2 are provided for the gate voltage bias of PMOSFET Q1 and NMOSFET Q2 in

**BEST AVAILABLE COPY**

the power output stage 5. A positive side differential amplifier stage 8 is provided in the prestage of the positive side offset stage 6 and a negative side differential amplifier stage 9 in the prestage of the negative side offset stage 7. Voltage inputted to an input terminal 1 is impressed on the inverted input means of the differential amplifying stages 8 and 9. In such a case, the non-inverted input-sides of the differential amplifying stages 8 and 9 are connected to an output terminal 2, and they function as a voltage follower.

COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-142940

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F	3/30	8839-5 J		
	3/34	Z 8124-5 J		
	3/345	B 8124-5 J		
	3/45	A		
		9473-5 J	H 0 3 K 17/ 687	F
審査請求 未請求 請求項の数 3 F D (全 6 頁) 最終頁に続く				

(21) 出願番号 特願平5-309685

(22) 出願日 平成5年(1993)11月17日

(71) 出願人 000191238

新日本無線株式会社

東京都目黒区下目黒1丁目8番1号

(72) 発明者 秋田 晋一

東京都豊島区西池袋1丁目17番10号 株式会社エヌ・ジェイ・アールセミコンダクタ内

(72) 発明者 池田 泰典

東京都豊島区西池袋1丁目17番10号 株式会社エヌ・ジェイ・アールセミコンダクタ内

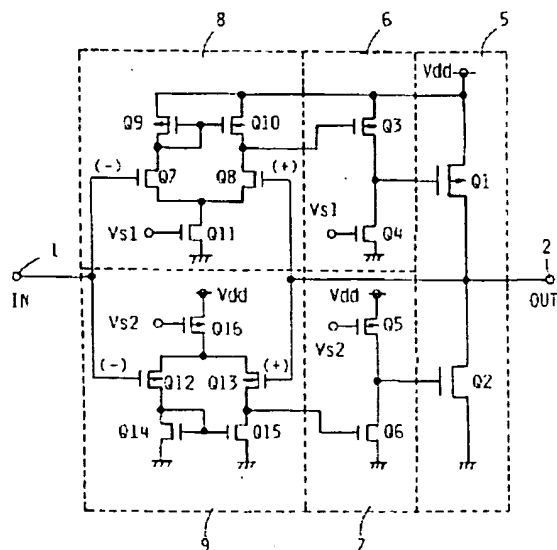
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 MOSFET電力増幅器

(57) 【要約】

【目的】 無効貫通電流の減少とクロスオーバー歪の減少を達成できるオフセットを行なった電力増幅器を提供すること。

【構成】 電力出力段5がCMOS構成でなるプッシュプル型のMOSFET電力増幅器において、電力出力段5の直前にオフセット段6、7を設け、その電力出力段5のMOSFETのゲート電圧バイアスを行なう。



1

## 【特許請求の範囲】

【請求項1】 電力出力段がCMOS構成からなるプッシュプル型のMOSFET電力増幅器において、上記電力出力段の前段にオフセット段を設け、該オフセット段の前段に入力信号を増幅する増幅段を設け、上記オフセット段において上記電力出力段のMOSFETのゲートバイアス電圧を設定するようにしたことを特徴とするMOSFET電力増幅器。

【請求項2】 上記オフセット段を上記電力出力段のPMOSFET側用の正側オフセット段と、NMOSFET側用の負側オフセット段に分離して設けると共に、上記増幅段を上記正側オフセット段と上記負側オフセット段に共通の差動入力段として設け、又は上記正側オフセット段用の正側差動入力段と上記負側オフセット段用の負側差動入力段に分離して設けたことを特徴とする請求項1に記載のMOSFET電力増幅器。

【請求項3】 電力出力段がCMOS構成からなるプッシュプル型のMOSFET電力増幅器において、入力信号を増幅する増幅段への上記電力出力段からの帰還回路に、上記電力出力段のMOSFETのゲートバイアス電圧を設定する抵抗ネットワークを設けたことを特徴とするMOSFET電力増幅器。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、携帯音響製品、携帯パーソナルコンピュータ、携帯マルチメディア機器、移動電話機等の携帯用電気機器において、音声信号を増幅するMOSFET電力増幅器に関するものである。

## 【0002】

【従来の技術】携帯用電気機器の音声信号の電力増幅は、従来ではバイポーラトランジスタ回路によって実現されていたが、使用する電源電圧の低電圧化に伴って、バイポーラトランジスタが本質的に持っているコレクタ・エミッタ間飽和電圧( $V_{ce}$ )が出力電圧の利用効率を落してしまい、結果として出力パワーが不十分となったり、電力効率が低下するという問題が大きくなってきた。

【0003】そこで、昇圧回路を付加し、電源電圧を昇圧して電力増幅部を動作させることが行なわれてきたが、電力効率の面の改善は進まなかった。

【0004】一方、FET素子を使用して電力増幅器を構成する試みが成された。しかし、品質の要求が厳しくない分野には応用されているものの、ハイファイ分野では充分に高い電圧で動作させることができる場合以外は、実用化されていない。

【0005】これは、FETは電流を駆動する能力がバイポーラトランジスタに劣っており、バイポーラトランジスタ並に電力を駆動しようとする、それ以上に無効電力(貫通電流による)を消費する結果になることが不可避であるからである。

2

【0006】ところで、近年バイアス電流を出力振幅に応じて制御する方法を実用化して、大振幅のときだけ電流駆動能力を増加させて電力効率を改善した、図4に示すようなMOSFET電力増幅器が提案されている(IEEE J.SOLID STATE CIRCUITS, Vol. SC-17, no. 6, pp929-982, Dec. 1982)。この図5の回路は準ソースホロワ電力増幅器とよばれるもので、図中、1は入力端子、2は出力端子、3は正側増幅段、4は負側増幅段である。またはCMOSプッシュプル構成の電力出力段であって、出力用PMOSFETQ1と出力用NMOSFETQ2とからなる。

【0007】またこのような準ソースホロワ電力増幅器においては、入力無信号時の消費電力低減化のために、図5に示すように、増幅段3、4に対して入力オフセットを持たせる方法も提案されている。V1、V2が入力オフセット電圧である(IEEE J.SOLID STATE CIRCUITS, Vol. SC-20, no. 6, pp1200-1205, Dec. 1982)。

## 【0008】

【発明が解決しようとする課題】ところで、上記したような準ソースホロワ電力増幅器においては、入力が無信号時には電力出力段5のMOSFETQ1、Q2のゲートは、無効電流(貫通電流)が少なくなり、且つクロスオーバー歪も少なくなるように、安定的に制御されなければならない。

【0009】すなわち、増幅段3、4内にオフセットがあつてその出力電圧が所定の電圧からシフトしてしまうと、電力出力段5のMOSFETQ1、Q2に過大な無効電流が流れたり、逆に深く逆バイアスされてクロスオーバー歪が大きくなる等の問題が起こる。

【0010】また、入力側にオフセットを持たせた図5に示す準ソースホロワ電力増幅器では、そのオフセット電圧が増幅段3、4で増幅されるため、増幅段3、4に对称性(同一性)が要求されるがこれは困難であり、MOSFETQ1、Q2からなる電力出力段5では上記した逆バイアスはより大きなものとなり易くクロスオーバー歪はより顕著となり易い。

【0011】そこで、反対に逆バイアス量を低減しようとするオフセット電圧をごく微小な値に設定する必要が生じるが、製造時のバラツキの影響を大きく受けるようになる。

【0012】本発明の目的は、安定したオフセットを行なつて、上記した問題を解決し、電力出力段の少無効電流、低クロスオーバー歪を実現し、効率的に駆動できるようにしたMOSFET電力増幅器を提供することである。

## 【0013】

【課題を解決するための手段】本発明の目的は、電力出力段がCMOS構成からなるプッシュプル型のMOSFET電力増幅器において、上記電力出力段の前段にオフセット段を設け、該オフセット段の前段に入力信号を増

3

幅する増幅段を設け、上記オフセット段において上記電力出力段のMOSFETのゲートバイアス電圧を設定するようにしたことを特徴とするMOSFET電力増幅器によって達成される。

【0014】また、電力出力段がCMOS構成からなるプッシュプル型のMOSFET電力増幅器において、入力信号を増幅する増幅段への上記電力出力段からの帰還回路に、上記電力出力段のMOSFETのゲートバイアス電圧を設定する抵抗ネットワークを設けたことを特徴とするMOSFET電力増幅器によっても達成されるようになる。

【0015】

【実施例】以下、本発明の実施例について説明する。図1はその第1の実施例の電力増幅器の回路図である。本実施例では、電力出力段5のPMOSFETQ1とNMOSFETQ2のゲート電圧バイアス用として、PMOSFETQ1用の正側オフセット（レベルシフト）段6、NMOSFETQ2用の負側オフセット（レベルシフト）段7を設けている。そして、その正側オフセット段6の前段に正側差動増幅段8を、負側オフセット段7の前段に負側差動増幅段9を設け、この両差動増幅段7、8の反転入力端子に入力端子1に入力する電圧を印加させた。この両差動増幅段8、9の非反転入力側は出力端子2に接続され、各々ボルテージホロワとして機能する。

【0016】正側オフセット段6は正側差動増幅段8の出力を受けるPMOSFETQ3と定電圧バイアスのNMOSFETQ4をCMOS接続した回路から構成され、負側オフセット段7は定電圧バイアスのPMOSFETQ5と負側差動増幅段9の出力を受けるNMOSFETQ6をCMOS接続した回路から構成される。Vs1はバイアス電圧である。

【0017】また、正側差動増幅段8は、差動接続されるNMOSFETQ7、Q8、その差動接続回路の能動負荷としてカレントミラー接続されるPMOSFETQ9、Q10、動作電流源として機能するNMOSFETQ11から構成される。Vs2はバイアス電圧である。

【0018】更に、負側差動増幅段9は、差動接続されるPMOSFETQ12、Q13、その差動接続回路の能動負荷としてカレントミラー接続されるNMOSFETQ14、Q15、動作電流源として機能するPMOSFETQ16から構成されている。

【0019】さて、入力端子1に電圧が入力すると、両差動増幅段8、9の非反転入力側に帰還されている出力端子2の電圧との差電圧がその差動増幅段8又は差動増幅器9で増幅され、出力端子2の電圧が入力端子1の電圧に等しくなる方向に電力出力段5のMOSFETQ1、Q2が制御される。

【0020】よって、入力端子1の入力が無信号のときは、その入力端子1の電圧は電源電圧Vddの半分（V

4

dd/2）であり、その電圧が出力端子2に現れる。

【0021】この無信号時には、電力出力段5のゲート電圧は、そのMOSFETQ1、Q2の閾値（Vth）よりも小さい方が無効電流低減のためには望ましい。この無効電流を減少させることクロスオーバー歪を減少させることとは相反する関係にあるが、オフセットを最適に設定することで両者を満足させることができる。

【0022】そこでこの実施例では、オフセット段6、7において電力出力段5に出力するためのゲート電圧をその電力出力段5のMOSFETQ1、Q2のVthに依じて数Vだけシフトさせてやる。

【0023】このためには、オフセット段6においては、MOSFETQ3とQ4のサイズ比（チャンネルの幅W/チャンネル長L）を、またオフセット段7においてはMOSFETQ5とQ6のサイズ比を適宜設定して行なう。

【0024】いま、例えば、電力出力段5のPMOSFETQ1の閾値（Vth）が650mVであるとする、このときは、無信号時のゲート電圧（Vgs）が150mVになるようにオフセット段6の出力電圧を設定して、そのときカットオフにさせれば、500mVの余裕をそこに持たせることができる。

【0025】よって、このPMOSFETQ1のドレインがフローティング状態になる入力電圧範囲は、500mV/G（但しGは増幅段6と差動増幅段8の合計ゲイン）であり、数mV以下にできることから、クロスオーバー歪も小さく保つことができる。

【0026】これに対して、前述した図5の回路のように増幅段3、4の入力側にオフセット電圧を与える手法においては、意図的に発生できる電圧は最小でも数十mVがせいぜいであり、これを電圧増幅して電力出力段のゲート電圧シフト用とした場合、製造誤差も増幅されていることを考えると、安定的に制御するのは極めて難しい。例えば、増幅段3、4のゲインを低く設定して入力オフセット電圧を比較的大きな値にした場合でも、その入力オフセット電圧がそのまま入力電圧範囲を減少させるので、動作電圧範囲を狭める結果となる。

【0027】このように、この図1に示す第1の実施例の電力増幅器では、電力出力段5に無効な貫通電流が増大することを防止することができる。このため、無信号時のアイドル電流をクロスオーバー歪が大きくなりすぎない程度の小さな値に抑えることができるばかりか、動作時においても他の回路部で消費電流が増大するような帰還を必要としないので、効率的なオフセットができる。また、入力側に意図的なオフセット電圧を発生させるものではないので、入力電圧範囲をオフセットの影響を受けずに広く設定でき、大振幅動作が可能となる。

【0028】図2は第2の実施例の電力増幅器を示す図である。図1に示した第1の実施例の電力増幅器と同一のものには同一の符号を付している。ここでは、1系統

5

の差動増幅段10を使用している。この差動増幅段10は、差動接続されるPMOSFETQ17、Q18、その差動接続回路の能動負荷としてカレントミラー接続されるNMOSFETQ19、Q20、動作電流源として機能するPMOSFETQ21から構成されている。また、正側オフセット段11を負側オフセット段7と同様な構成として、定電圧バイアスされるPMOSFETQ22、差動増幅段10の出力を受けるNMOSFETQ23から構成している。

【0029】この第2の実施例の電力増幅器では、入力側が1系統の差動増幅段で構成されるので、図1で説明した2系統の差動増幅段を使用する場合に比べて、コスト的に有利であるばかりか、2系統以上の回路に発生するランダムなオフセット誤差の影響を低減することもできる。

【0030】図3は第3の実施例の電力増幅器を示す図である。ここでは、前述した図4の回路において、増幅段3、4と電力出力段5の帰還側に抵抗ネットワークによりオフセットを設定している。

【0031】このオフセットは、電源と接地間に直列接続した抵抗R1～R3、抵抗R1とR2の共通接続点と出力端子2と間に接続した帰還抵抗R4、R5、抵抗R2とR3の共通接続点と出力端子2との間に接続した帰還抵抗R6、R7からなるものであり、抵抗R4とR5の共通接続点を増幅段3の非反転入力端子に、抵抗R6とR7の共通接続点を増幅段4の非反転入力端子に接続している。ここで、抵抗R1、R3としては例えば10KΩ、R2として100～200Ω、R4、R6として100KΩ、R5、R7として5KΩが使用できる。

【0032】この図3の第3の実施例では、抵抗R2の両端間に、 $[R2 \cdot V_{dd} / (R1 + R2 + R3)]$ の電位差を持たせることができる。これによって、増幅段3と4の相対的オフセット量（オフセット量の差）を設定することができる。そして、正側増幅段3のオフセット量やゲインは抵抗R4、R5の比により設定され、これによりPMOSFETQ1のゲート電圧バイアス値が決定される。また、負側増幅段4のオフセット量やゲインは抵抗R6、R7の比により設定され、これによりN

6

MOSFETQ2のゲート電圧バイアス値が決定される。

【0033】このように、ここではオフセット電圧発生のために抵抗ネットワークによる電圧分割を利用しているので、無効電流が少なく、且つクロスオーバー歪の少なくなるオフセット電圧をきめ細かに比較的小さい値まで安定的に柔軟に設定できるようになり、その際に基板上の配置等に与える負担も少なくできる。この抵抗の取り出し位置は半導体製造工程において、最終工程に近い配線工程で行なうことができ、トランジスタ等の製造バラツキを補完するトリミングも可能である。更に、オフセット量は回路の形を替えずに調整可能であり、マスタスライスも可能である。

【0034】

【発明の効果】以上から本発明によれば、トレードオフの関係にある無効電流とクロスオーバー歪の両者を満足させるようなオフセット電圧を発生させることができる。そしてこのとき、オフセット段を電力出力段の直前に設けるので、発生させたオフセット電圧が動作電圧範囲に悪影響を及ぼすことを回避できる。またこのオフセットを抵抗ネットワークによる電圧分割で発生させることもでき、きめ細かに比較的小さい値まで安定的に柔軟に設定できるようになり、その際に基板上の配置等に与える負担も少なくなる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の電力増幅器の回路図である。

【図2】 本発明の第2の実施例の電力増幅器の回路図である。

【図3】 本発明の第3の実施例の電力増幅器の回路図である。

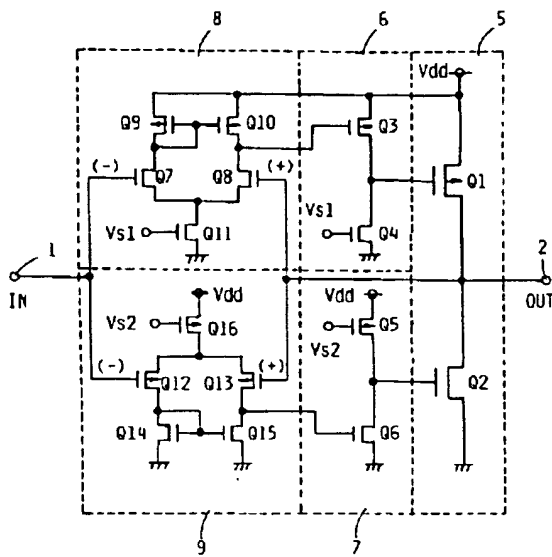
【図4】 従来の電力増幅器のブロック図である。

【図5】 従来の別の電力増幅器のブロック図である。

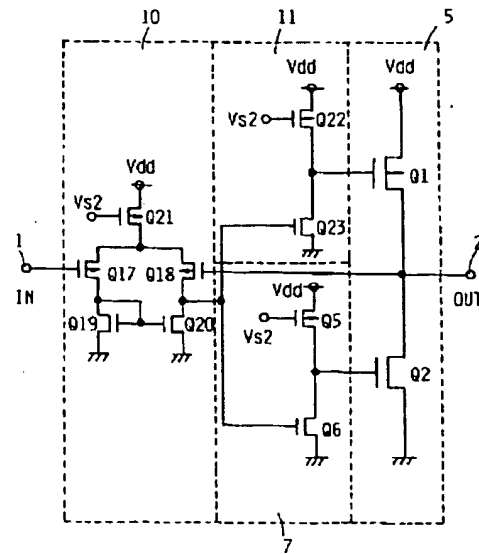
【符号の説明】

1：入力端子、2：出力端子、3：正側増幅段、4：負側増幅段、5：電力出力段、6：正側オフセット段、7：負側オフセット段、8：正側差動入力段、9：負側差動入力段、10：1系統の差動入力段。

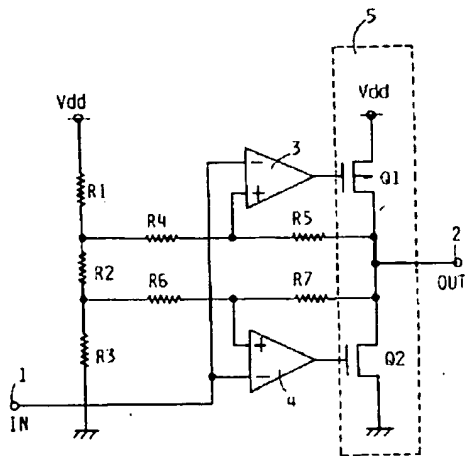
【図1】



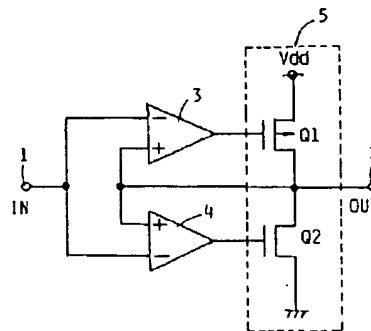
【図2】



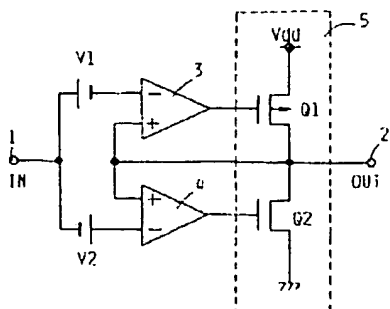
【図3】



【図4】



【図5】



フロントページの続き

(51)Int. Cl.<sup>6</sup>

H03K 17/16

17/687

識別記号

庁内整理番号

F I

技術表示箇所

L 9184-5J



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**